

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2005-252245  
(43)Date of publication of application : 15.09.2005

(51)Int.Cl. H01L 21/301

(21)Application number : 2005-026109 (71)Applicant : SHOWA DENKO KK  
(22)Date of filing : 02.02.2005 (72)Inventor : KUSUKI KATSUTERU

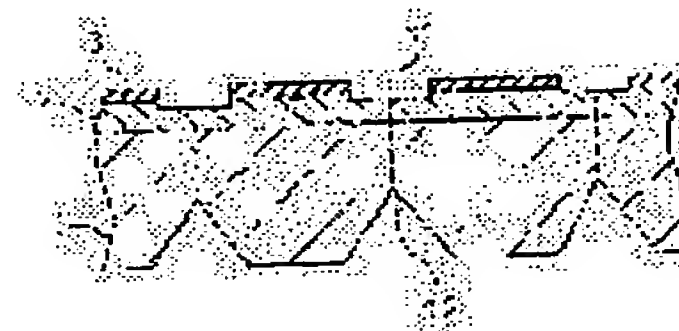
(30)Priority  
Priority number : 2004026766 Priority date : 03.02.2004 Priority country : JP

(54) GALLIUM NITRIDE -BASED COMPOUND SEMICONDUCTOR WAFER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a gallium nitride-based compound semiconductor wafer that can precisely be cut with an extremely high yield and also is increased in the number of chips that can be taken out from the single wafer to improve productivity.

SOLUTION: The gallium nitride-based compound semiconductor wafer has a first groove on the semiconductor side of the semiconductor wafer provided with a gallium nitride-based compound semiconductor laminated on a substrate and a second groove in the position opposite to the first groove on the substrate side, and is characterized in that the first groove is 5 to 25  $\mu$ m wide and the second groove has a depth deeper than 6  $\mu$ m and a thickness smaller than three-quarters of the substrate thickness.



LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## CLAIMS

## [Claim(s)]

## [Claim 1]

The gallium nitride system compound semiconductor wafer characterized by for the width of face of the first groove being 5-25 micrometers, and the depth of the second groove being  $3/4$  or less [ of 6 micrometers or more and substrate thickness ] in the gallium nitride system compound semiconductor wafer which has the first groove in the semi-conductor side of the semi-conductor wafer with which the laminating of the gallium nitride system compound semiconductor was carried out on the substrate, and has the second groove in the location which counters a substrate side in this first groove.

## [Claim 2]

The gallium nitride system compound semiconductor wafer according to claim 1 characterized by the thickness of a substrate being 60-150 micrometers.

## [Claim 3]

The gallium nitride system compound semiconductor wafer according to claim 1 or 2 characterized by the width of face of the first groove being 20 micrometers or less.

## [Claim 4]

The gallium nitride system compound semiconductor wafer according to claim 3 characterized by the width of face of the first groove being 8-15 micrometers.

## [Claim 5]

A gallium nitride system compound semiconductor wafer given in any 1 term of claims 1-4 characterized by the depth of the second groove being 10 micrometers or more.

## [Claim 6]

The gallium nitride system compound semiconductor wafer according to claim 5 characterized by the depth of the second groove being  $1/2$  or less [ of 20 micrometers or more and substrate thickness ].

## [Claim 7]

A gallium nitride system compound semiconductor wafer given in any 1 term of claims 1-6 characterized by the cross-section configuration of the second groove being a V character mold.

## [Claim 8]

A gallium nitride system compound semiconductor wafer given in any 1 term of claims 1-7 characterized by being chosen out of the group which a substrate becomes from sapphire, SiC, and a nitride semi-conductor single crystal.

## [Claim 9]

The gallium nitride system compound semiconductor wafer according to claim 8 characterized by a substrate being sapphire.

## [Claim 10]

The gallium nitride system compound semiconductor wafer according to claim 9 characterized by for the principal plane of silicon on sapphire being a C side, and having the shape of a grid which the first and the second groove become from the direction which intersects perpendicularly with a direction parallel to the cage hula of a substrate, and a cage hula.

## [Claim 11]

The gallium nitride system compound semiconductor wafer according to claim 10 characterized by a cage hula being a direction (11-20).

## [Claim 12]

The gallium nitride system compound semiconductor light emitting device which is a light emitting device which contains in any 1 term of claims 1-11 the semiconductor chip manufactured from the gallium nitride system compound semiconductor wafer of a publication, and is characterized by the first base and negative-electrode forming face of a groove being on the same flat surface.

## [Claim 13]

The manufacture approach of the gallium nitride system compound semiconductor wafer which is the manufacture approach of a gallium nitride system compound semiconductor wafer given in any 1 term of claims 1-11, and is characterized by forming the first groove by the etching method.

## [Claim 14]

The manufacture approach of the gallium nitride system compound semiconductor wafer according to claim 13 characterized by forming the second groove by the laser method.

## [Claim 15]

The manufacture approach of the gallium nitride system compound semiconductor wafer according to claim 14 characterized by doubling with the location which separated 5-40-micrometers of foci of laser from the substrate front face.



## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[Field of the Invention]

[0001]

This invention relates to the gallium nitride system compound semiconductor wafer which can be used suitable for manufacture of luminescence devices, such as a blue light emitting diode and a blue laser diode.

[Background of the Invention]

[0002]

In recent years, the semiconductor device using a gallium nitride system compound semiconductor is being developed. For example, the semiconductor laser to which the light emitting diode with which a blue system can emit light, and purple-blue light can emit light is mentioned. A device arranges a semiconductor chip on a stem etc. and is considered as the configuration which can be energized.

[0003]

It is difficult for the semiconductor device using a gallium nitride system compound semiconductor to make a single crystal form unlike semiconductor devices, such as GaAs, GaP, and InGaAlAs. in order to obtain the single crystal film of a crystalline good gallium nitride system compound semiconductor — MOCVD — law and HVPE — making it form through a buffer layer using law on substrates, such as sapphire, is performed.

[0004]

Usually, the semi-conductor wafer with which the laminating of the semiconductor materials, such as GaAs, GaP, and InGaAlAs, was carried out is cut down in the shape of a chip, and is used as a semi-conductor light emitting device etc. A dicer and a scribe are used as an approach of starting in the shape of a chip from a semi-conductor wafer. After a dicer carries out full cutting of the wafer in rotation of the disk which uses the edge of a blade as a diamond or cuts the slot of width larger than edge-of-a-blade width deeply (half cutting), it is equipment cut according to external force. the needle which uses a tip as a diamond as well as a scribe on the other hand — a line (scribe line) very thin to a wafer — for example, after lengthening in a grid pattern, it is equipment cut according to external force. The crystal of zinc structure which carries neither GaP nor GaAs has cleavage in the "110" directions. Therefore, semi-conductor wafers, such as GaAs, GaAlAs, and GaP, can be divided into a request configuration comparatively easily using this property.

[0005]

however, the hetero-epi structure by which the laminating of the gallium nitride system compound semiconductor is carried out on silicon on sapphire etc. — it is — a gallium nitride system compound semiconductor and silicon on sapphire — lattice constant irregular \*\* — it is large. Silicon on sapphire does not have cleavage on the property of hexagonal system. Furthermore, it is the matter with Mohs hardness very as hard [ sapphire and a gallium nitride system compound semiconductor ] as about 9. Therefore, it was difficult to cut with a scribe. Moreover, when full cutting was carried out by the dicer, it was not able to cut finely that it is easy to generate a crack and a chipping in the cutting plane. It was, also when the semi-conductor layer formed depending on the case separated from sapphire.

[0006]

In order to improve these, in case the patent No. 2780618 official report cuts the wafer which carried out the laminating of the gallium nitride system compound semiconductor on silicon on sapphire, it forms the first groove in a gallium nitride system compound semiconductor layer side, forms the second groove in the location which agrees with the first groove in a silicon-on-sapphire side, and is indicating making width of face of the first groove larger than the width of face of the second groove. And the width of face of the first groove is adjusted by about 80 micrometers in this official report.

[0007]

However, in order to obtain many chips from one wafer, it is necessary to narrow width of face of the first groove. The width of face of the first groove is inferior in productivity in about 80 micrometers. Then, if width of face of the first groove is made thin, since it will become smaller than the width of face of the second groove and a cutting plane will not break linearly, it is difficult to hurt one's gallium nitride system compound semiconductor layer, and to obtain a chip with the sufficient yield.

[0008]

Moreover, in case the patent No. 3230572 official report cuts the wafer with which the laminating of the gallium nitride system compound semiconductor was carried out on the substrate, it is indicating forming the first groove by laser radiation. However, if laser is irradiated at a gallium nitride system compound semiconductor layer, it is difficult to see the phenomenon which heat damage generates in a gallium nitride system compound semiconductor layer, and to obtain a chip with the sufficient yield.

[0009]

[Patent reference 1] The patent No. 2780618 official report

[Patent reference 2] The patent No. 3230572 official report

[Description of the Invention]

[Problem(s) to be Solved by the Invention]

[0010]



In case the purpose of this invention manufactures a gallium nitride system compound semiconductor chip, it is offering the gallium nitride system compound semiconductor wafer which can make the number of chips which is correctly cut by the very high yield, and which can carry out things and can be taken out from one wafer able to increase, and can make productivity improve.

[Means for Solving the Problem]

[0011]

This invention offers the following invention.

(1) The gallium nitride system compound semiconductor wafer characterized by for the width of face of the first groove being 5–25 micrometers, and the depth of the second groove being  $3/4$  or less [ of 6 micrometers or more and substrate thickness ] in the gallium nitride system compound semiconductor wafer which has the first groove in the semi-conductor side of the semi-conductor wafer with which the laminating of the gallium nitride system compound semiconductor was carried out on the substrate, and has the second groove in the location which counters a substrate side in this first groove.

[0012]

(2) A gallium nitride system compound semiconductor wafer given in the 1st above-mentioned term characterized by the thickness of a substrate being 60–150 micrometers.

[0013]

(3) A gallium nitride system compound semiconductor wafer given in the above 1 or the 2nd term characterized by the width of face of the first groove being 20 micrometers or less.

[0014]

(4) A gallium nitride system compound semiconductor wafer given in the 3rd above-mentioned term characterized by the width of face of the first groove being 8–15 micrometers.

[0015]

(5) A gallium nitride system compound semiconductor wafer given in any 1 term of the one to 4 above-mentioned term characterized by the depth of the second groove being 10 micrometers or more.

[0016]

(6) A gallium nitride system compound semiconductor wafer given in the 5th above-mentioned term characterized by the depth of the second groove being  $1/2$  or less [ of 20 micrometers or more and substrate thickness ].

[0017]

(7) A gallium nitride system compound semiconductor wafer given in any 1 term of the above 1–6 characterized by the cross-section configuration of the second groove being a V-character mold.

[0018]

(8) A gallium nitride system compound semiconductor wafer given in any 1 term of the one to 7 above-mentioned term characterized by being chosen out of the group which a substrate becomes from sapphire, SiC, and a nitride semiconductor single crystal.

[0019]

(9) A gallium nitride system compound semiconductor wafer given in the 8th above-mentioned term characterized by a substrate being sapphire.

[0020]

(10) A gallium nitride system compound semiconductor wafer given in the 9th above-mentioned term characterized by for the principal plane of silicon on sapphire being a C side, and having the shape of a grid which the first and the second groove become from the direction which intersects perpendicularly with a direction parallel to the cage hula of a substrate, and a cage hula.

[0021]

(11) A gallium nitride system compound semiconductor wafer given in the 10th above-mentioned term characterized by a cage hula being a direction (11–20).

[0022]

(12) The gallium nitride system compound semiconductor light emitting device which is a light emitting device which contains in any 1 term of claims 1–11 the semiconductor chip manufactured from the gallium nitride system compound semiconductor wafer of a publication, and is characterized by the first base and negative-electrode forming face of a groove being on the same flat surface.

[0023]

(13) The manufacture approach of the gallium nitride system compound semiconductor wafer which is the manufacture approach of a gallium nitride system compound semiconductor wafer given in any 1 term of claims 1–11, and is characterized by forming the first groove by the etching method.

[0024]

(14) The manufacture approach of a gallium nitride system compound semiconductor wafer given in the 13th above-mentioned term characterized by forming the second groove by the laser method.

[0025]

(15) The manufacture approach of a gallium nitride system compound semiconductor wafer given in the 14th above-mentioned term characterized by doubling with the location which separated 5–40 micrometers of foci of laser from the substrate front face.

[Effect of the Invention]

[0026]

Although the gallium nitride system compound semiconductor wafer which has a specific groove according to this invention is a wafer which carried out the laminating of the gallium nitride system compound semiconductor which does not have cleavage in a substrate without cleavage, it can be correctly cut by the very high yield, can make the number of chips which can be taken out from one wafer able to increase, and can make productivity improve.

[0027]

Furthermore, in case the second groove is formed by laser, by adjusting the focal location of laser to a specific location, heat damage cannot be done to a gallium nitride system semi-conductor layer, but a chip predetermined in a good property can be taken out.

[Best Mode of Carrying Out the Invention]

[0028]

Drawing 1 is the mimetic diagram having shown the cross section of an example of the gallium nitride system compound semiconductor wafer of this invention. As for a substrate and 2, in this drawing, 1 is [ the gallium nitride system compound semiconductor of n mold and 3 ] the gallium nitride system compound semiconductors of p mold. 11 is the first groove and 12 is the second groove.

[0029]

Well-known substrate ingredients, such as boride single crystals, such as nitride semi-conductor single crystals, such as oxide single crystals, such as a sapphire single crystal (the 2O3; Ath pages of aluminum, C sides, the Mth page, Rth page), a spinel single crystal (MgAl 2O4), a ZnO single crystal, LiAlO2 single crystal, LiGaO2 single crystal, and a MgO single crystal, Si single crystal, a GaAs single crystal, an AlN single crystal, and a GaN single crystal, and ZrB2, can be used for the substrate of the gallium nitride system compound semiconductor wafer of this invention that there is no limit in any way. A sapphire single crystal, Si single crystal, and a nitride semi-conductor single crystal are desirable especially. In addition, especially field bearing of a substrate is not limited. Moreover, a substrate may be used just and you may be the substrate which gave the off angle.

[0030]

From a single crystal ingot, a substrate is cut down by the thickness of 250-1000 micrometers, and is usually used. After carrying out the laminating of the gallium nitride system compound semiconductor to the substrate of such thickness, before forming the second groove, it is desirable to grind a substrate side and to make it thin. The substrate thickness after polish has desirable 150 micrometers or less, and its 100 micrometers or less are still more desirable. It is because it becomes much more certain that can shorten cutting distance and cutting is settled within the first groove by it by stopping substrate thickness. If too thin, since it may have bad influences, such as heat deterioration, on a gallium nitride system compound semiconductor at the time of formation of the second groove etc., adjusting to 60 micrometers or more is desirable.

[0031]

As a gallium nitride system compound semiconductor, the semi-conductor of the various presentations expressed with general formula  $Al_xIn_yGa_{1-x-y}N$  ( $0 \leq x < 1$ ,  $0 \leq y < 1$ ,  $0 \leq x+y < 1$ ) is common knowledge. Also in the semi-conductor wafer of this invention, the laminating of the semi-conductor of the various presentations expressed with general formula  $Al_xIn_yGa_{1-x-y}N$  ( $0 \leq x < 1$ ,  $0 \leq y < 1$ ,  $0 \leq x+y < 1$ ) is carried out with the structure according to the semiconductor device made into the purpose.

[0032]

For example, in the case of a light emitting device, the laminating of the gallium nitride system compound semiconductor of n mold and the gallium nitride system compound semiconductor of p mold is carried out in this sequence on a substrate, a negative electrode is prepared in a n-type-semiconductor layer, and a positive electrode is prepared in a p type semiconductor, respectively.

[0033]

Especially the growth approach of these gallium nitride system semi-conductors is not limited, but all the approaches by which growing up gallium nitride system semi-conductors, such as MOCVD (organic metal chemical-vapor-deposition method), HVPE (hydride vapor growth), and MBE (molecular beam epitaxy method), is known can be applied. As the desirable growth approach, it is the MOCVD method from a viewpoint of a thickness controllability and mass-production nature. By the MOCVD method, ammonia (NH3), a hydrazine (N2H4), etc. are used as a source of N which are trimethylindium (TMI) or triethylindium (TEI), and V group raw material as trimethylaluminum (TMA) or triethylaluminum (TEA), and a source of In as trimethylgallium (TMG) or triethylgallium (TEG), and a source of aluminum as a source of Ga which are hydrogen (H2) or nitrogen (N2), and an III group raw material as carrier gas. Moreover, as a dopant, a mono silane (SiH4) or a disilane (Si2H6) is used as an Si raw material, germane (GeH4) is used for n mold as a germanium raw material, and for example, bis(cyclopentadienyl) magnesium (Cp2Mg) or bis-ethylcyclopentadienyl magnesium (EtCp) (2Mg) is used for p mold as a Mg raw material.

[0034]

In this invention, the first groove is formed in the gallium nitride system semi-conductor side of a semi-conductor wafer, as shown in drawing 1. The width of face has desirable 25 micrometers or less. If larger than this, a semiconductor chip producible in one wafer will decrease, and productivity will fall. It is 20 micrometers or less still more preferably, and is 15 micrometers or less especially preferably. Conversely, if width of face is too small, the cutting section cannot be easily settled in a groove and will cause defect chip generation. A certain thing of width of face is desirable 5 micrometers or more. A certain thing is still more desirable 8 micrometers or more.

[0035]

The depth is not independently restricted but is good in any depth. Although it changes with thickness of a semi-conductor layer, generally it is about 1-10 micrometers. In the case of a light emitting device, a substrate side is a n-type-semiconductor layer, the front face of a semi-conductor layer is a p type semiconductor layer, but as for the base of a groove, it is desirable that it is a n-type-semiconductor layer. In case the base and negative-electrode forming face of a groove can be made into the same flat surface and a negative-electrode forming face is exposed by etching by doing so, the first groove can be formed in coincidence and a production process can be simplified.

[0036]

Its rectangle settles [ the cutting section / tend ] in a groove and is desirable although what kind of configurations, such as the shape of a rectangle, the shape of U character, and V character, are sufficient as the cross-section configuration of the first groove.

[0037]

The second groove is formed in the location which countered the first groove by the side of the substrate of a semi-conductor wafer as shown in drawing 1. As for the depth, it is desirable that it is 6 micrometers or more. If shallower than this, the cutting section cannot be easily settled in a groove and will cause defect chip generation. 10 micrometers or more, a certain thing is still more desirable, and especially if there are 20 micrometers or more, it is desirable.

[0038]

Conversely, if the depth is too deep and spacing of the base and semi-conductor layer becomes small, a semi-conductor layer will become easy to receive heat damage at the time of processing of a groove. Therefore, as for the depth, it is desirable that it is  $3/4$  or less [ of substrate thickness ], and it is still more desirable in it being  $1/2$  or less.

[0039]

Although what kind of configurations, such as the shape of a rectangle, the shape of U character, and V character, are sufficient as the cross-section configuration of the second groove, it is good to make it the shape of V character preferably. Because, since a crack occurs from near a V character-like tip in case it divides in the shape of a chip, it can be made to cut almost linearly toward the first groove.

[0040]

Although the width of face of the second groove may not independently be restricted but what kind of width of face is sufficient, a certain amount of width of face is required on processing to make a groove deep, 1 micrometers or more are desirable, 5 micrometers or more are still more desirable, and especially 10 micrometers or more are desirable. Although there is also no upper limit of width of face independently, when a cross-section configuration is V character-like, in order to make the above-mentioned effectiveness in the shape of V character demonstrate, less than [ same extent as the depth or it ] is desirable.

[0041]

Although what kind of direction is sufficient as the direction of the first and the second groove, its direction which intersects perpendicularly with a direction parallel to the cage hula of a substrate and a cage hula is desirable. If the direction of a groove is doubled in such a direction, it will be easy to run a cutting plane line at right angles to a substrate side, and the cutting section will tend to be settled in a groove. In the case of silicon on sapphire, especially the case where the direction of a cage hula is (11-20) is desirable.

[0042]

The well-known technique, such as the etching method, the dicing method, the laser method, and the scribe method, can be used for these grooves that there is no limit in any way. However, in order to form the first groove, it is desirable to use the etching approaches, such as wet etching and dry etching. It is because etching cannot damage the front face and side face of a gallium nitride system compound semiconductor most easily.

[0043]

If it is dry etching, technique, such as reactive ion etching, ion milling, focusing beam etching, and ECR etching, can be used, for example, and if it is wet etching, the mixed acid of a sulfuric acid and a phosphoric acid can be used, for example. However, before etching, it cannot be overemphasized that a predetermined mask is formed in a gallium nitride system compound semiconductor front face so that it may become a desired chip configuration.

In addition, when the first groove is formed by the laser method, dirt adheres to the side face of the semi-conductor layer by which the laminating was carried out by dispersing, and an electrical property deteriorates. What is necessary is to form protective coats, such as a resist excellent in thermal resistance, and just to remove a protective coat by washing with the dirt on a protective coat after groove formation, in order to prevent this.

[0044]

Although especially the technique of forming the second groove is not asked since the second groove is formed in a substrate side and the edge of a blade, such as a dicer and a scribe, does not touch a direct gallium nitride system compound semiconductor layer, the laser method is especially used preferably also in it. It is because laser beam machining is formed, and can carry out the thing of the second groove in desired Mr. Fukashi and a groove can be quickly formed compared with the etching method. Furthermore, compared with the scribe method or the dicing method, there is little variation in the process tolerance by degradation [ exhausting / and ] of a blade or a diamond stylus. Moreover, the cost generated in exchange of those edge of a blade etc. can be reduced.

Moreover, if the side face of the groove formed by the laser method is observed with a differential interference system optical microscope, irregularity will be in a side face and the ejection effectiveness of light will become good. Furthermore, on the intersection of a grid-like groove, i.e., the corner of a chip, the depth becomes deep, and division of a chip becomes certain.

[0045]

As a laser beam machine which can be used for this invention, as long as it can form a disengageable groove in each chip for a semi-conductor wafer, what kind of type may be used. Specifically, a CO2 laser, an YAG laser, an excimer laser, a pulse laser, etc. can be used. A pulse laser is desirable especially.

[0046]

The laser irradiated by the laser beam machine can make the optical system of a lens etc. adjust a focal location in a desired location.

[0047]

If laser radiation of the focus is connected and carried out to a substrate front face or the interior in case the second groove is formed by laser, heat damage may arise in a gallium nitride system compound semiconductor, and it will become the cause of a yield fall. Therefore, it is desirable to separate a laser focus from a substrate front face, and to make it connect to the outside of a substrate. It is still more desirable when 5 micrometers or more are separated from a substrate front face. Since processing effectiveness will fall if it separates from a substrate front face too much, less than 40 micrometers is desirable from a substrate front face.

In addition, when a groove is formed by the laser method, dirt may disperse on a substrate front face and the optical drawing effectiveness from a front face may worsen. What is necessary is to form protective coats, such as a resist excellent in thermal resistance, as mentioned above, and just to remove a protective coat by washing with the dirt on a



protective coat after groove formation, in order to prevent this.

[Example]

[0048]

Although an example explains this invention further below at a detail, this invention is not limited only to these examples.

[0049]

(Example 1)

the silicon-on-sapphire top of 420 micrometers in thickness, and magnitude [ of 2 inches ] phi — MOCVD — the gallium nitride system compound semiconductor wafer with an n mold GaN layer with a thickness of 2 micrometers and a p mold GaN layer with a thickness of 0.1 micrometers for light emitting devices was produced using law. Silicon on sapphire made C side the principal plane, and the cage hula was a direction (11-20).

[0050]

The first and the second groove were formed in this semi-conductor wafer at the shape of a grid which consists of a direction which intersects perpendicularly with a direction parallel to a cage hula, and a cage hula according to the following procedures.

[0051]

Post-etching over which the mask which consists of SiO<sub>2</sub> on a p mold GaN layer was covered was performed using the well-known photolithography technique, and the first groove was formed in the configuration shown in drawing 2. 10 micrometers and the depth were set to 1 micrometer, and the width of face of the first groove set the pitch to 350 micrometers.

[0052]

As shown in drawing 2, it etches in the shape of an abbreviation semicircle in the same depth as the first groove, an n mold GaN layer is exposed, and it is considering as the negative-electrode forming face (20) in the location which attends one side of the shape of a grid of the first groove.

[0053]

the silicon-on-sapphire side of the wafer after forming the first groove as mentioned above — a grinder — grinding — a substrate — the thickness of 80 micrometers — wrapping — and polishing was carried out. A substrate front face is made into mirror plane homogeneity by polishing, and it enabled it to check the first groove from silicon on sapphire easily.

[0054]

Next, after sticking UV tape on a gallium nitride system compound semiconductor side, the semi-conductor wafer was fixed by the vacuum chuck on the stage of a pulse laser processing machine. It can move in the X-axis (right and left) and the direction of a Y-axis (before or after), and the stage has pivotable structure. After immobilization, laser adjusted laser optical system so that a focus might be connected on the surface of silicon on sapphire, and the cross-section configuration formed the second groove of a V character mold in the location which counters at the first groove at X shaft orientations of silicon on sapphire by 350-micrometer pitch, depth of 25 micrometers, and width of face of 11 micrometers.

[0055]

Next, 90 degrees of stages were rotated and the second groove was formed like Y shaft orientations.

Much chips of 350-micrometer angle were obtained from the wafer of 2 inch phi by releasing a vacuum chuck after the second groove formation, stripping off a wafer from a stage, and separating a push rate from a gallium nitride system compound semiconductor layer side. The yield was 80% when the thing without a poor appearance was taken out.

[0056]

(Example 1 of a comparison)

This example of a comparison is the same as an example 1 except having adjusted the optical system of laser in the process which forms the second groove, having set the depth of the second groove to 5 micrometers, and having set width of face to 5 micrometers.

[0057]

When the obtained semi-conductor wafer was pushed and broken from the gallium nitride system compound semiconductor layer side, many of cutting plane lines did not become perpendicular to the silicon-on-sapphire front face, but its gallium nitride system compound semiconductor layer was hurt, and the yield was 30%.

[0058]

(Example 2)

This example is the same as an example 1 in the process which forms the second groove except having made the focus connect to the location which adjusted laser optical system and left 10 micrometers of foci of laser on the front face of silicon on sapphire.

[0059]

Since there is no heat damage by laser in a gallium nitride system compound semiconductor layer when the obtained semi-conductor wafer is pushed and broken from a gallium nitride system compound semiconductor layer side, the yield has improved to 90%.

[Availability on industry]

[0060]

Since the gallium nitride system compound semiconductor wafer of this invention can make the number of chips which can be taken out from one wafer able to increase and productivity can be made to improve, the utility value on industry is very large.

[Brief Description of the Drawings]

[0061]

[Drawing 1] It is the mimetic diagram having shown the cross section of an example of the gallium nitride system compound semiconductor wafer of this invention.

[Drawing 2] It is the mimetic diagram having shown the flat surface of the semi-conductor wafer produced in the example 1.

[Description of Notations]



[0062]

1 Substrate

2 Gallium Nitride System Compound Semiconductor of N Mold

3 Gallium Nitride System Compound Semiconductor of P Mold

11 First Groove

12 Second Groove

---

[Translation done.]

\* NOTICES \*

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[0061]

[Drawing 1] It is the mimetic diagram having shown the cross section of an example of the gallium nitride system compound semiconductor wafer of this invention.

[Drawing 2] It is the mimetic diagram having shown the flat surface of the semi-conductor wafer produced in the example 1.

---

[Translation done.]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号  
特開2005-252245  
(P2005-252245A)

(43) 公開日 平成17年9月15日(2005.9.15)

(51) Int.Cl.<sup>7</sup>  
H01L 21/301

F I  
H01L 21/78  
H01L 21/78

テーマコード (参考)  
L  
S

審査請求 未請求 請求項の数 15 O L (全 10 頁)

(21) 出願番号	特願2005-26109 (P2005-26109)	(71) 出願人	000002004 昭和電工株式会社 東京都港区芝大門1丁目13番9号
(22) 出願日	平成17年2月2日 (2005.2.2)	(74) 代理人	100099759 弁理士 青木 篤
(31) 優先権主張番号	特願2004-26766 (P2004-26766)	(74) 代理人	100077517 弁理士 石田 敬
(32) 優先日	平成16年2月3日 (2004.2.3)	(74) 代理人	100087413 弁理士 古賀 哲次
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100102990 弁理士 小林 良博
		(74) 代理人	100082898 弁理士 西山 雅也
		(72) 発明者	楠木 克輝 千葉県市原市八幡海岸通5-1 昭和電工 エイチ・ディー株式会社内

(54) 【発明の名称】 窒化ガリウム系化合物半導体ウェハー

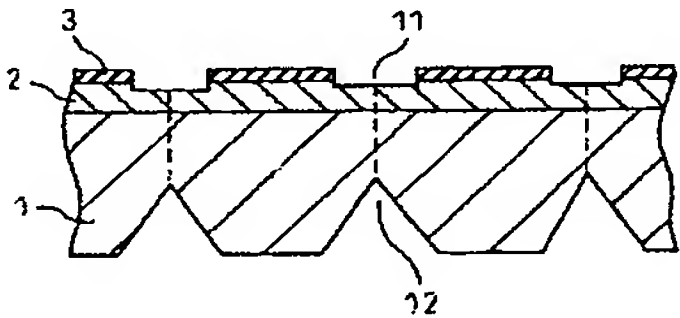
(57) 【要約】

【課題】 極めて高い歩留まりで正確に切断することでき、かつ、一枚のウェハーから取り出せるチップ数を増加させた生産性の改善された窒化ガリウム系化合物半導体ウェハーを提供すること。

【解決手段】 基板上に窒化ガリウム系化合物半導体が積層された半導体ウェハーの半導体側に第一の割溝を有し、基板側に該第一の割溝に対向する位置で第二の割溝を有する窒化ガリウム系化合物半導体ウェハーにおいて、第一の割溝の幅が5～25μmであり、第二の割溝の深さが6μm以上かつ基板厚さの3／4以下であることを特徴とする窒化ガリウム系化合物半導体ウェハー。

【選択図】 図1

図1



## 【特許請求の範囲】

## 【請求項 1】

基板上に窒化ガリウム系化合物半導体が積層された半導体ウェハの半導体側に第一の割溝を有し、基板側に該第一の割溝に対向する位置で第二の割溝を有する窒化ガリウム系化合物半導体ウェハにおいて、第一の割溝の幅が $5 \sim 25 \mu\text{m}$ であり、第二の割溝の深さが $6 \mu\text{m}$ 以上かつ基板厚さの $3/4$ 以下であることを特徴とする窒化ガリウム系化合物半導体ウェハ。

## 【請求項 2】

基板の厚さが $60 \sim 150 \mu\text{m}$ であることを特徴とする請求項 1 に記載の窒化ガリウム系化合物半導体ウェハ。

10

## 【請求項 3】

第一の割溝の幅が $20 \mu\text{m}$ 以下であることを特徴とする請求項 1 または 2 に記載の窒化ガリウム系化合物半導体ウェハ。

## 【請求項 4】

第一の割溝の幅が $8 \sim 15 \mu\text{m}$ であることを特徴とする請求項 3 に記載の窒化ガリウム系化合物半導体ウェハ。

## 【請求項 5】

第二の割溝の深さが $10 \mu\text{m}$ 以上であることを特徴とする請求項 1 ～ 4 のいずれか一項に記載の窒化ガリウム系化合物半導体ウェハ。

## 【請求項 6】

第二の割溝の深さが $20 \mu\text{m}$ 以上かつ基板厚さの $1/2$ 以下であることを特徴とする請求項 5 に記載の窒化ガリウム系化合物半導体ウェハ。

20

## 【請求項 7】

第二の割溝の断面形状がV字型であることを特徴とする請求項 1 ～ 6 のいずれか一項に記載の窒化ガリウム系化合物半導体ウェハ。

## 【請求項 8】

基板がサファイア、SiCおよび窒化物半導体単結晶からなる群から選ばれることを特徴とする請求項 1 ～ 7 のいずれか一項に記載の窒化ガリウム系化合物半導体ウェハ。

## 【請求項 9】

基板がサファイアであることを特徴とする請求項 8 に記載の窒化ガリウム系化合物半導体ウェハ。

30

## 【請求項 10】

サファイア基板の主面がC面であり、第一および第二の割溝が、基板のオリフラと平行な方向およびオリフラと直交する方向からなる格子状であることを特徴とする請求項 9 に記載の窒化ガリウム系化合物半導体ウェハ。

## 【請求項 11】

オリフラが $(11-20)$ 方向であることを特徴とする請求項 10 に記載の窒化ガリウム系化合物半導体ウェハ。

## 【請求項 12】

請求項 1 ～ 11 のいずれか一項に記載の窒化ガリウム系化合物半導体ウェハから製造された半導体チップを含む発光素子であって、第一の割溝の底面と負極形成面が同一平面上にあることを特徴とする窒化ガリウム系化合物半導体発光素子。

40

## 【請求項 13】

請求項 1 ～ 11 のいずれか一項に記載の窒化ガリウム系化合物半導体ウェハの製造方法であって、第一の割溝をエッチング法により形成することを特徴とする窒化ガリウム系化合物半導体ウェハの製造方法。

## 【請求項 14】

第二の割溝をレーザー法で形成することを特徴とする請求項 13 に記載の窒化ガリウム系化合物半導体ウェハの製造方法。

## 【請求項 15】

50



レーザーの焦点を基板表面から5～40 $\mu$ m離れた位置に合わせることとを特徴とする請求項14に記載の窒化ガリウム系化合物半導体ウェハーの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、青色発光ダイオード、青色レーザーダイオードなどの発光デバイスの製造に好適に用いることができる窒化ガリウム系化合物半導体ウェハーに関する。

【背景技術】

【0002】

近年、窒化ガリウム系化合物半導体を利用した半導体素子が開発されつつある。例えば、青色系が発光可能な発光ダイオードや青紫光が発光可能な半導体レーザなどが挙げられる。デバイスは、半導体チップをステム上などに配置し通電可能な構成とされている。

10

【0003】

窒化ガリウム系化合物半導体を利用した半導体素子は、GaAs、GaPやInGaAlAsなどの半導体素子とは異なり単結晶を形成させることが難しい。結晶性の良い窒化ガリウム系化合物半導体の単結晶膜を得るために、MOCVD法やHVPE法を用いサファイア等の基板の上にバッファ層を介して形成させることが行われている。

【0004】

通常、GaAs、GaPやInGaAlAsなどの半導体材料が積層された半導体ウェハーは、チップ状に切り出され半導体発光素子などとして利用される。半導体ウェハーからチップ状に切り出す方法としては、ダイサーやスクライバーが用いられる。ダイサーとは刃先をダイヤモンドとする円盤の回転運動によりウェハーをフルカットするか、又は刃先巾よりも広い巾の溝を切り込んだ後（ハーフカット）、外力によりカットする装置である。一方、スクライバーとは同じく先端をダイヤモンドとする針によりウェハーに極めて細い線（スクライブライン）を例えば基盤目状に引いた後、外力によってカットする装置である。GaPやGaAs等のせん亜鉛構造の結晶は、へき開性が「110」方向にある。そのため、この性質を利用してGaAs、GaAlAs、GaPなどの半導体ウェハーを比較的簡単に所望形状に分離することができる。

20

【0005】

しかしながら、窒化ガリウム系化合物半導体はサファイア基板上などに積層されるヘテロエピ構造であり、窒化ガリウム系化合物半導体とサファイア基板とは格子定数不整が大きい。サファイア基板は六方晶系という性質上、へき開性を有していない。さらに、サファイア、窒化ガリウム系化合物半導体ともモース硬度がほぼ9と非常に硬い物質である。したがって、スクライバーで切断することは困難であった。また、ダイサーでフルカットすると、その切断面にクラック、チッピングが発生しやすく綺麗に切断できなかった。場合によっては、形成された半導体層がサファイアから剥がれる場合もあった。

30

【0006】

これらを改良するために、特許第2780618号公報は、サファイア基板上に窒化ガリウム系化合物半導体を積層したウェハーを切断する際に、窒化ガリウム系化合物半導体層側に第一の割溝を形成し、サファイア基板側に第一の割溝と合致する位置で第二の割溝を形成し、第一の割溝の幅を第二の割溝の幅よりも大きくすることを開示している。そしてこの公報では、第一の割溝の幅は80 $\mu$ m程度に調節されている。

40

【0007】

しかし、一枚のウェハーから多くのチップを得るためには第一の割溝の幅を狭くする必要がある。第一の割溝の幅が80 $\mu$ m程度では生産性が劣る。そこで、第一の割溝の幅を細くすると、第二の割溝の幅よりも小さくなり、切断面は直線的に割れないために、窒化ガリウム系化合物半導体層を傷め、歩留まり良くチップを得ることは困難である。

【0008】

また、特許第3230572号公報は、基板上に窒化ガリウム系化合物半導体が積層されたウェハーを切断する際に、レーザー照射により第一の割溝を形成することを開示して

50

いる。しかし、窒化ガリウム系化合物半導体層にレーザーを照射すると、窒化ガリウム系化合物半導体層に熱損傷が発生する現象が見られ、歩留まり良くチップを得ることは困難である。

【0009】

【特許文献1】特許第2780618号公報

【特許文献2】特許第3230572号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

本発明の目的は、窒化ガリウム系化合物半導体チップを製造する際に、極めて高い歩留まりで正確に切断することでき、また、一枚のウェハーから取り出せるチップ数を増加させ、生産性を改善させることができる窒化ガリウム系化合物半導体ウェハーを提供することである。

10

【課題を解決するための手段】

【0011】

本発明は、以下の発明を提供する。

(1) 基板上に窒化ガリウム系化合物半導体が積層された半導体ウェハーの半導体側に第一の割溝を有し、基板側に該第一の割溝に対向する位置で第二の割溝を有する窒化ガリウム系化合物半導体ウェハーにおいて、第一の割溝の幅が $5 \sim 25 \mu\text{m}$ であり、第二の割溝の深さが $6 \mu\text{m}$ 以上かつ基板厚さの $3/4$ 以下であることを特徴とする窒化ガリウム系化合物半導体ウェハー。

20

【0012】

(2) 基板の厚さが $60 \sim 150 \mu\text{m}$ であることを特徴とする上記1項に記載の窒化ガリウム系化合物半導体ウェハー。

【0013】

(3) 第一の割溝の幅が $20 \mu\text{m}$ 以下であることを特徴とする上記1または2項に記載の窒化ガリウム系化合物半導体ウェハー。

【0014】

(4) 第一の割溝の幅が $8 \sim 15 \mu\text{m}$ であることを特徴とする上記3項に記載の窒化ガリウム系化合物半導体ウェハー。

30

【0015】

(5) 第二の割溝の深さが $10 \mu\text{m}$ 以上であることを特徴とする上記1～4項のいずれか一項に記載の窒化ガリウム系化合物半導体ウェハー。

【0016】

(6) 第二の割溝の深さが $20 \mu\text{m}$ 以上かつ基板厚さの $1/2$ 以下であることを特徴とする上記5項に記載の窒化ガリウム系化合物半導体ウェハー。

【0017】

(7) 第二の割溝の断面形状がV字型であることを特徴とする上記1～6のいずれか一項に記載の窒化ガリウム系化合物半導体ウェハー。

【0018】

(8) 基板がサファイア、SiCおよび窒化物半導体単結晶からなる群から選ばれることを特徴とする上記1～7項のいずれか一項に記載の窒化ガリウム系化合物半導体ウェハー。

40

【0019】

(9) 基板がサファイアであることを特徴とする上記8項に記載の窒化ガリウム系化合物半導体ウェハー。

【0020】

(10) サファイア基板の主面がC面であり、第一および第二の割溝が、基板のオリフラと平行な方向およびオリフラと直交する方向からなる格子状であることを特徴とする上記9項に記載の窒化ガリウム系化合物半導体ウェハー。

50

## 【0021】

(11) オリフラが(11-20)方向であることを特徴とする上記10項に記載の窒化ガリウム系化合物半導体ウェハー。

## 【0022】

(12) 請求項1～11のいずれか一項に記載の窒化ガリウム系化合物半導体ウェハーから製造された半導体チップを含む発光素子であって、第一の割溝の底面と負極形成面が同一平面上にあることを特徴とする窒化ガリウム系化合物半導体発光素子。

## 【0023】

(13) 請求項1～11のいずれか一項に記載の窒化ガリウム系化合物半導体ウェハーの製造方法であって、第一の割溝をエッチング法により形成することを特徴とする窒化ガリウム系化合物半導体ウェハーの製造方法。

10

## 【0024】

(14) 第二の割溝をレーザー法で形成することを特徴とする上記13項に記載の窒化ガリウム系化合物半導体ウェハーの製造方法。

## 【0025】

(15) レーザーの焦点を基板表面から5～40 $\mu$ m離れた位置に合わせることを特徴とする上記14項に記載の窒化ガリウム系化合物半導体ウェハーの製造方法。

## 【発明の効果】

## 【0026】

本発明に従って、特定の割溝を有する窒化ガリウム系化合物半導体ウェハーは、へき開性のない基板に、へき開性のない窒化ガリウム系化合物半導体を積層したウェハーであるにもかかわらず、極めて高い歩留まりで正確に切断することができ、一枚のウェハーから取り出せるチップ数を増加させ、生産性を改善させることができる。

20

## 【0027】

さらに、第二の割溝をレーザーで形成する際に、レーザーの焦点位置を特定の位置に調整することによって、窒化ガリウム系半導体層に熱損傷を与えず、良好な特性で所定のチップを取り出すことができる。

## 【発明を実施するための最良の形態】

## 【0028】

図1は本発明の窒化ガリウム系化合物半導体ウェハーの一例の断面を示した模式図である。この図において、1は基板、2はn型の窒化ガリウム系化合物半導体、3はp型の窒化ガリウム系化合物半導体である。11は第一の割溝であり、12は第二の割溝である。

30

## 【0029】

本発明の窒化ガリウム系化合物半導体ウェハーの基板には、サファイア単結晶(AI<sub>2</sub>O<sub>3</sub>; A面、C面、M面、R面)、スピネル単結晶(MgAl<sub>2</sub>O<sub>4</sub>)、ZnO単結晶、LiAlO<sub>2</sub>単結晶、LiGaO<sub>2</sub>単結晶ならびにMgO単結晶などの酸化物単結晶、Si単結晶、GaAs単結晶、AlN単結晶ならびにGaN単結晶などの窒化物半導体単結晶およびZrB<sub>2</sub>などのホウ化物単結晶などの公知の基板材料を何ら制限なく用いることができる。なかでもサファイア単結晶、Si単結晶および窒化物半導体単結晶が好ましい。なお、基板の面方位は特に限定されない。また、ジャスト基板でも良いし、オフ角を付与した基板であっても良い。

40

## 【0030】

基板は通常単結晶インゴットから250～1000 $\mu$ mの厚さで切り出されて用いられる。このような厚さの基板に窒化ガリウム系化合物半導体を積層させた後、第二の割溝を形成する前に、基板側を研磨して薄くすることが好ましい。研磨後の基板厚さは150 $\mu$ m以下が好ましく、100 $\mu$ m以下がさらに好ましい。基板厚さを抑えることで、切断距離を短縮でき、それによって切断が第一の割溝以内に収まるのがより一層確実となるからである。薄過ぎると、第二の割溝の形成時等に窒化ガリウム系化合物半導体に熱劣化等の悪影響を及ぼす可能性があるため、60 $\mu$ m以上に調整することが好ましい。

## 【0031】

50

窒化ガリウム系化合物半導体として、一般式  $Al_xIn_yGa_{1-x-y}N$  ( $0 \leq x < 1$ ,  $0 \leq y < 1$ ,  $0 \leq x + y < 1$ ) で表わされる各種組成の半導体が周知である。本発明の半導体ウェハールにおいても、一般式  $Al_xIn_yGa_{1-x-y}N$  ( $0 \leq x < 1$ ,  $0 \leq y < 1$ ,  $0 \leq x + y < 1$ ) で表わされる各種組成の半導体が、目的とする半導体素子に応じた構造で積層される。

#### 【0032】

例えば、発光素子の場合、 $n$ 型の窒化ガリウム系化合物半導体と $p$ 型の窒化ガリウム系化合物半導体が基板上にこの順序で積層され、 $n$ 型半導体層に負極が、 $p$ 型半導体に正極がそれぞれ設けられる。

#### 【0033】

これらの窒化ガリウム系半導体の成長方法は特に限定されず、MOCVD（有機金属化学気相成長法）、HVPE（ハイドライド気相成長法）、MBE（分子線エピタキシー法）、など窒化ガリウム系半導体を成長させることが知られている全ての方法を適用できる。好ましい成長方法としては、膜厚制御性、量産性の観点からMOCVD法である。MOCVD法では、キャリアガスとして水素（ $H_2$ ）または窒素（ $N_2$ ）、III族原料であるGa源としてトリメチルガリウム（TMG）またはトリエチルガリウム（TEG）、Al源としてトリメチルアルミニウム（TMA）またはトリエチルアルミニウム（TEA）、In源としてトリメチルインジウム（TMI）またはトリエチルインジウム（TEI）、V族原料であるN源としてアンモニア（ $NH_3$ ）、ヒドラジン（ $N_2H_4$ ）などが用いられる。また、ドーパントとしては、 $n$ 型にはSi原料としてモノシラン（ $SiH_4$ ）またはジシラン（ $Si_2H_6$ ）を、Ge原料としてゲルマン（ $GeH_4$ ）を用い、 $p$ 型にはMg原料としては例えばビスシクロペンタジエニルマグネシウム（ $Cp_2Mg$ ）またはビスエチルシクロペンタジエニルマグネシウム（ $(EtCp)_2Mg$ ）を用いる。

#### 【0034】

本発明において第一の割溝は、図1に示した如く、半導体ウェハールの窒化ガリウム系半導体側に形成される。その幅は $25\mu m$ 以下が好ましい。これより大きいと、1枚のウェハール中に作製できる半導体チップが少なくなり、生産性が低下する。さらに好ましくは $20\mu m$ 以下であり、特に好ましくは $15\mu m$ 以下である。逆に幅が小さ過ぎると、切断部が割溝に収まり難く、不良チップ生成の原因となる。幅は $5\mu m$ 以上あることが好ましい。 $8\mu m$ 以上あることがさらに好ましい。

#### 【0035】

深さは別に制限されずどのような深さでもよい。半導体層の厚さによって異なるが、一般に $1 \sim 10\mu m$ 程度である。発光素子の場合、半導体層は基板側が $n$ 型半導体層であり、表面が $p$ 型半導体層であるが、割溝の底面は $n$ 型半導体層であることが好ましい。そうすることによって、割溝の底面と負極形成面を同一平面とすることができ、エッチングにより負極形成面を露出させる際に、同時に第一の割溝を形成でき、製造工程を簡略化できる。

#### 【0036】

第一の割溝の断面形状は、矩形、U字状およびV字状等どのような形状でもよいが、矩形は切断部が割溝内に収まり易く好ましい。

#### 【0037】

第二の割溝は、図1に示した如く、半導体ウェハールの基板側の第一の割溝に対向した位置に形成される。その深さは $6\mu m$ 以上であることが好ましい。これより浅いと、切断部が割溝に収まり難く、不良チップ生成の原因となる。 $10\mu m$ 以上あることがさらに好ましく、 $20\mu m$ 以上あれば特に好ましい。

#### 【0038】

逆に深さが深すぎて、その底面と半導体層との間隔が小さくなると、割溝の加工時に半導体層が熱損傷を受け易くなる。従って、その深さは、基板厚さの $3/4$ 以下であることが好ましく、 $1/2$ 以下であるとさらに好ましい。

#### 【0039】



第二の割溝の断面形状は矩形、U字状およびV字状等どのような形状でもよいが、好ましくはV字状にすると良い。なぜならば、チップ状に分割する際、V字状の最先端付近からクラックが発生するので、第一の割溝に向かってほぼ直線的に切断させることができる。

#### 【0040】

第二の割溝の幅は別に制限されず如何なる幅でもよいが、割溝を深くするには加工上ある程度の幅が必要であり、 $1\mu\text{m}$ 以上が好ましく、 $5\mu\text{m}$ 以上がさらに好ましく、 $10\mu\text{m}$ 以上が特に好ましい。幅の上限も別にないが、断面形状がV字状の場合は、V字状における上記効果を発揮せしめるには、深さと同じ程度またはそれ以下が好ましい。

#### 【0041】

第一および第二の割溝の方向は、如何なる方向でもよいが、基板のオリフラと平行な方向およびオリフラと直交する方向が好ましい。割溝の方向をこのような方向に合わせておくと、切断線が基板面に垂直に走り易く、切断部が割溝内に収まり易い。サファイア基板の場合、オリフラの方向が(11-20)である場合が特に好ましい。

#### 【0042】

これらの割溝は、エッチング法、ダイシング法、レーザー法およびスクライブ法など周知の手法を何ら制限なく用いることができる。しかし、第一の割溝を形成するには、ウェットエッチングおよびドライエッチングなどのエッチング方法を用いることが好ましい。なぜならエッチングが最も窒化ガリウム系化合物半導体の表面および側面を傷めにくいからである。

#### 【0043】

ドライエッチングであれば、例えば、反応性イオンエッチング、イオンミリング、集束ビームエッチングおよびECREッチングなどの手法を用いることができ、ウェットエッチングであれば、例えば硫酸とリン酸の混酸を用いることができる。但し、エッチングを行う前に、窒化ガリウム系化合物半導体表面に、所望のチップ形状となるように、所定のマスクを形成することはいうまでもない。

なお、レーザー法で第一の割溝を形成した場合、汚れが飛散して積層された半導体層の側面に付着して電気特性が劣化する。これを防ぐために、耐熱性に優れたレジストなどの保護膜を形成し、割溝形成後に保護膜上の汚れと共に保護膜を洗浄で除去すればよい。

#### 【0044】

第二の割溝は基板側に形成し、直接窒化ガリウム系化合物半導体層にダイサーおよびスクライブなどの刃先が触れることが無いので、第二の割溝を形成する手法は特に問わないが、その中でも特に好ましくはレーザー法を用いる。なぜなら、レーザー加工は第二の割溝を所望の深さまで形成することでき、また、エッチング法に比べて迅速に割溝を形成できるからである。さらに、スクライブ法やダイシング法に比べて、ブレードやダイヤモンド針の消耗および劣化による加工精度のバラツキが少ない。また、それらの刃先の交換などに発生するコストを低減することができる。

また、レーザー法で形成した割溝の側面を微分干渉系光学顕微鏡で観察すると、側面に凹凸があり、光の取り出し効率がよくなる。さらに、格子状割溝の交点、即ち、チップの角部において深さが深くなり、チップの分割が確実になる。

#### 【0045】

本発明に用いることができるレーザー加工機としては、半導体ウェハーを各チップに分離可能な割溝を形成できるものであればどのようなタイプでも良い。具体的にはCO<sub>2</sub>レーザー、YAGレーザー、エキシマ・レーザーおよびパルスレーザーなどを用いることができる。なかでもパルスレーザーが好ましい。

#### 【0046】

レーザー加工機によって照射されるレーザーは、レンズなどの光学系によって所望の位置に焦点位置を調整させることができる。

#### 【0047】

レーザーで第二の割溝を形成する際に、基板表面または内部に焦点を結んでレーザー照

10

20

30

40

50

射すると、窒化ガリウム系化合物半導体に熱損傷が生じる場合があり、歩留まり低下の原因となる。従って、レーザー焦点は基板表面から離して、基板の外側に結ばせることが好ましい。基板表面から $5\mu\text{m}$ 以上離すとさらに好ましい。基板表面から離し過ぎると加工効率が落ちるので、基板表面から $40\mu\text{m}$ 以内が好ましい。

なお、レーザー法で割溝を形成した場合、汚れが基板表面に飛散し、表面からの光取り出し効率が悪くなる場合がある。これを防ぐために、前述したように耐熱性に優れたレジストなどの保護膜を形成し、割溝形成後に保護膜上の汚れと共に保護膜を洗浄で除去すればよい。

#### 【実施例】

##### 【0048】

以下に実施例により本発明をさらに詳細に説明するが、本発明はこれらの実施例にのみ限定されるものではない。

##### 【0049】

##### (実施例1)

厚さ $420\mu\text{m}$ 、大きさ2インチφのサファイア基板上にMOCVD法を利用して、厚さ $2\mu\text{m}$ のn型Ga<sub>0.9</sub>N層と厚さ $0.1\mu\text{m}$ のp型Ga<sub>0.9</sub>N層とを持つ発光素子用の窒化ガリウム系化合物半導体ウェハーを作製した。サファイア基板はC面を主面とし、オリフラは(11-20)方向であった。

##### 【0050】

この半導体ウェハーに第一および第二の割溝を、オリフラと平行な方向とオリフラと直交する方向からなる格子状に以下の手順に従って形成した。

##### 【0051】

周知のフォトリソグラフィ技術を用いて、p型Ga<sub>0.9</sub>N層上にSiO<sub>2</sub>よりなるマスクをかけた後エッチングを行ない、図2に示す形状で第一の割溝を形成した。第一の割溝の幅は $10\mu\text{m}$ 、深さは $1\mu\text{m}$ 、ピッチは $350\mu\text{m}$ とした。

##### 【0052】

図2に示した如く、第一の割溝の格子状の一辺に臨む位置で、第一の割溝と同じ深さで略半円状にエッチングしてn型Ga<sub>0.9</sub>N層を露出させ、負極形成面(20)としている。

##### 【0053】

以上のようにして、第一の割溝を形成した後、ウェハーのサファイア基板側を研磨機により研磨して、基板を $80\mu\text{m}$ の厚さにラッピングおよびポリッシングした。ポリッシングで基板表面を鏡面均一とし、容易にサファイア基板から第一の割溝が確認できるようにした。

##### 【0054】

次に窒化ガリウム系化合物半導体側にUVテープを貼りつけた後、パルスレーザー加工機のステージ上に半導体ウェハーを真空チャックで固定した。ステージはX軸(左右)およびY軸(前後)方向に移動することができ、回転可能な構造となっている。固定後、レーザーはサファイア基板の表面に焦点が結ばれるようにレーザー光学系を調整し、サファイア基板のX軸方向に $350\mu\text{m}$ ピッチ、深さ $25\mu\text{m}$ 、幅 $11\mu\text{m}$ で断面形状がV字型の第二の割溝を第一の割溝に対向する位置に形成した。

##### 【0055】

次に、ステージを $90^\circ$ 回転させ、Y軸方向に同様にして第二の割溝を形成した。

第二の割溝形成後、真空チャックを解放し、ウェハーをステージから剥ぎ取り、窒化ガリウム系化合物半導体層側から押し割って分離することにより、2インチφのウェハーから $350\mu\text{m}$ 角のチップを多数得た。外形不良の無いものを取り出したところ、歩留まりは80%であった。

##### 【0056】

##### (比較例1)

本比較例は、第二の割溝を形成する工程においてレーザーの光学系を調整し、第二の割溝の深さを $5\mu\text{m}$ 、幅を $5\mu\text{m}$ とした以外は、実施例1と同じである。

10

20

30

40

50

## 【0057】

得られた半導体ウェハーを窒化ガリウム系化合物半導体層側から押し割ったところ、切断線の多くがサファイア基板表面に対して垂直にならず、窒化ガリウム系化合物半導体層を傷め、歩留まりは30%であった。

## 【0058】

(実施例2)

本実施例は、第二の割溝を形成する工程において、レーザー光学系を調整し、レーザーの焦点をサファイア基板の表面上10 $\mu$ m離れた位置に焦点を結ばせた以外は、実施例1と同じである。

## 【0059】

得られた半導体ウェハーを窒化ガリウム系化合物半導体層側から押し割ったところ、窒化ガリウム系化合物半導体層にレーザーによる熱損傷がないため、歩留まりは90%まで改善した。

【産業上の利用可能性】

## 【0060】

本発明の窒化ガリウム系化合物半導体ウェハーは、一枚のウェハーから取り出せるチップ数を増加させ、生産性を改善させることができるので、産業上の利用価値は極めて大きい。

【図面の簡単な説明】

## 【0061】

【図1】本発明の窒化ガリウム系化合物半導体ウェハーの一例の断面を示した模式図である。

【図2】実施例1で作製した半導体ウェハーの平面を示した模式図である。

【符号の説明】

## 【0062】

- 1 基板
- 2 n型の窒化ガリウム系化合物半導体
- 3 p型の窒化ガリウム系化合物半導体
- 11 第一の割溝
- 12 第二の割溝

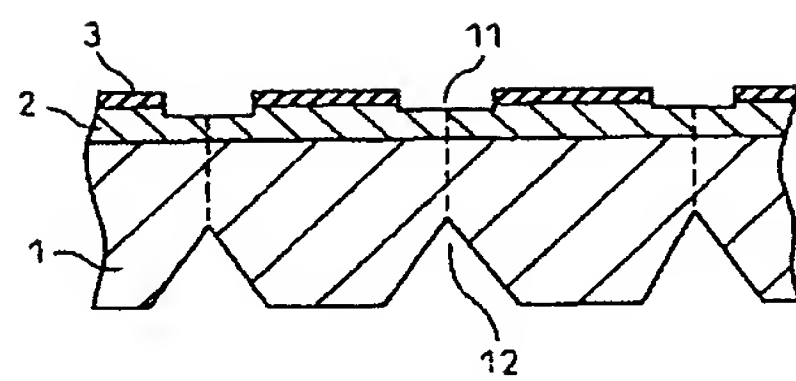
10

20

30

【図 1】

図 1



【図 2】

図 2

